

# チップレット設計標準化の動向

(Chiplets design standardization)

LPBソリューションフォーラム

2026年3月06日

コジマイーデザインオフィス

代表

小島 智

[kojima-satoshi@k8.dion.ne.jp](mailto:kojima-satoshi@k8.dion.ne.jp)

<https://kojima-edesign.com/>

# – アジェンダ –

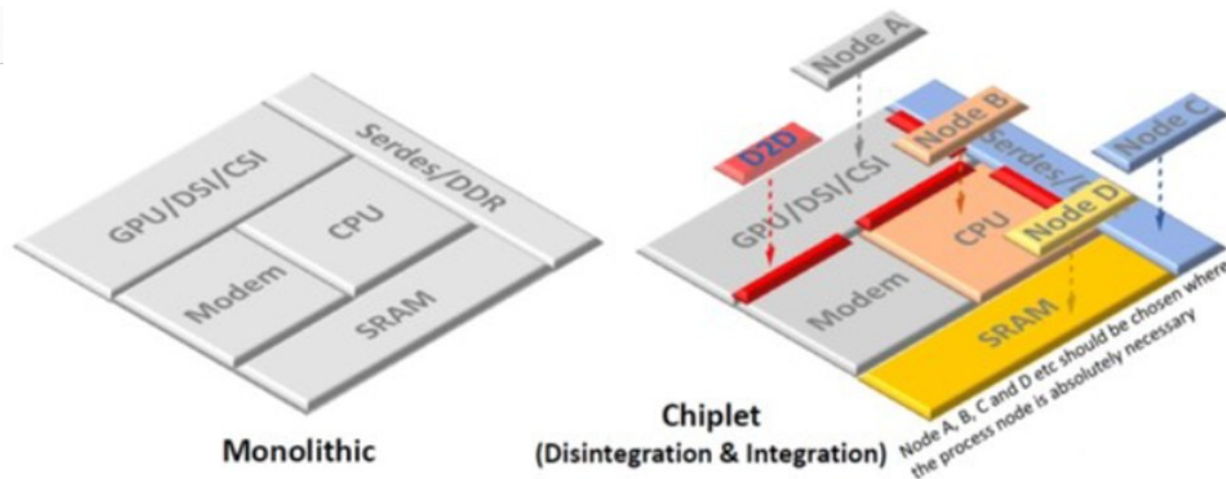
- はじめに
- 背景と位置付け
- 製品への適用事例
- チップレット設計標準
  - CDX と 3Dbloxについて
- インターコネクト標準
  - UCle 3.0仕様について
- まとめ

# － アジェンダ －

- はじめに
- 背景と位置付け
- 製品への適用事例
- チップレット設計標準
  - CDX と 3Dbloxについて
- インターコネクト標準
  - UCle 3.0仕様について
- まとめ

# チップレット 背景と位置付け

- チップレットとはチップ個片を意味する。チップレットへの分割とシステム統合により、ヘテロ集積(HI)を実現する
- チップレットはSoC設計手法のオプションであり、半導体IPとしてチップレットを加えた統合SoC設計技術が重要になる
- Monolithic Scalingの継続は高価で、チップレットはScalingを持続させる経済的分割製造(サイズ、歩留まり、技術ノード)を可能にする



Source: SE-Ho You(Samsung) at IEDM2020

# － アジェンダ －

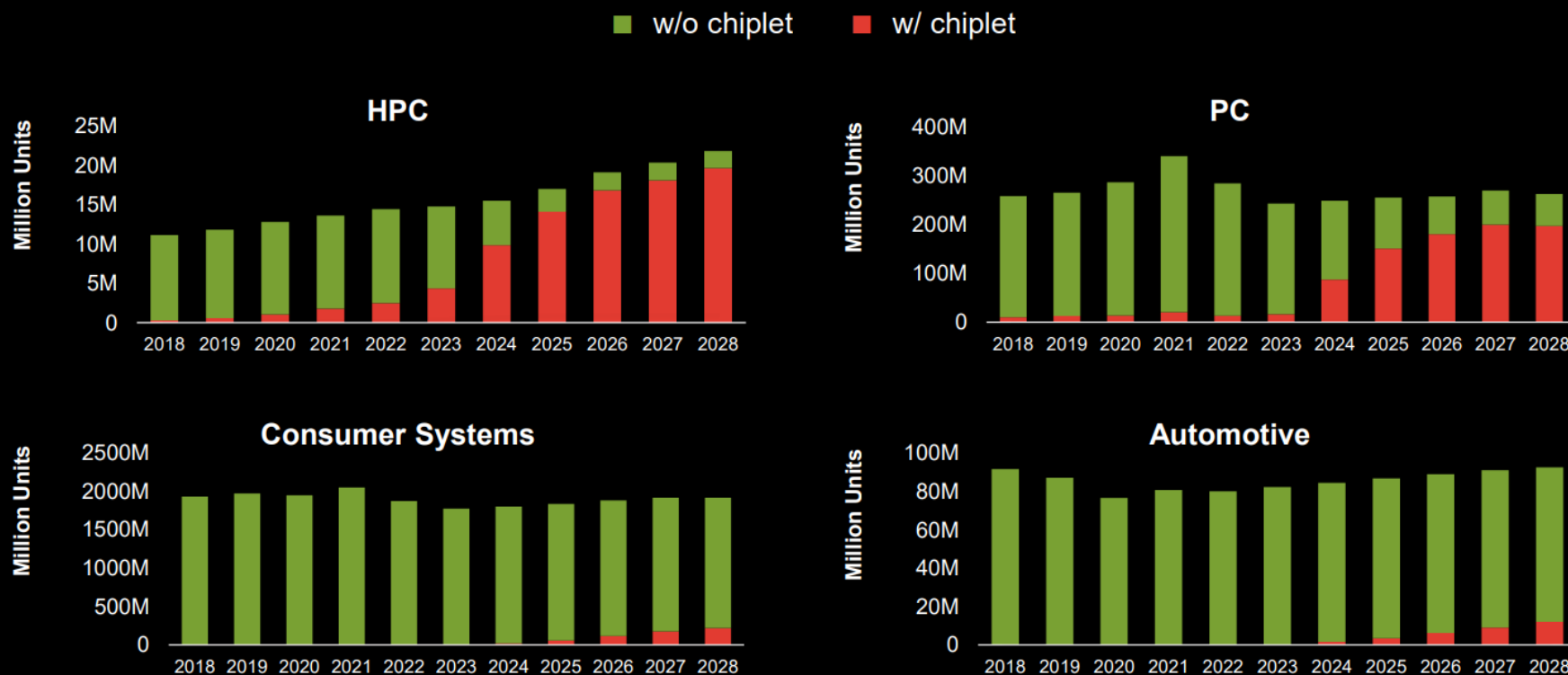
- はじめに
- 背景と位置付け
- 製品への適用事例
- チップレット設計標準
  - CDX と 3Dbloxについて
- インターコネクト標準
  - UCle 3.0仕様について
- まとめ



# チップレットの適用状況

## ■ HPC/AIが積極的に採用している

### Increasing Application Volume with Chiplets



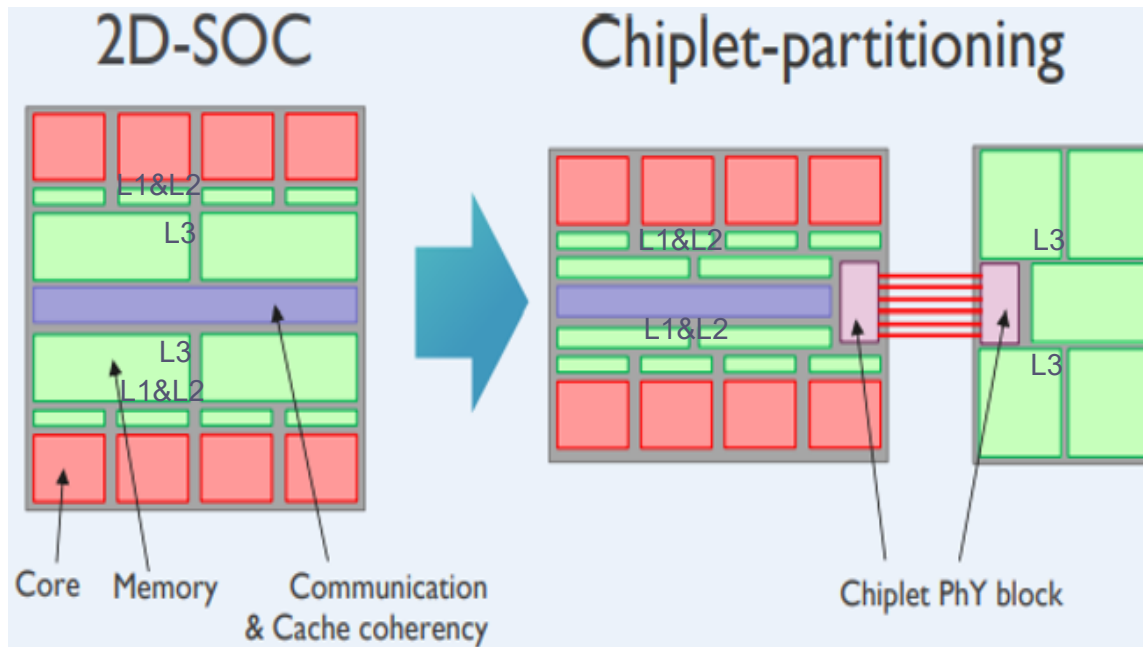
Source: Yole Intelligence

Source: Yole Intelligence

- Chiplet market is expected to reach \$411B by 2035 at 15.7% CAGR (IDTechEX - 2024)
- More than half of design starts will be chiplet-based designs (IBS - 2023)

# プロセッサへの適用

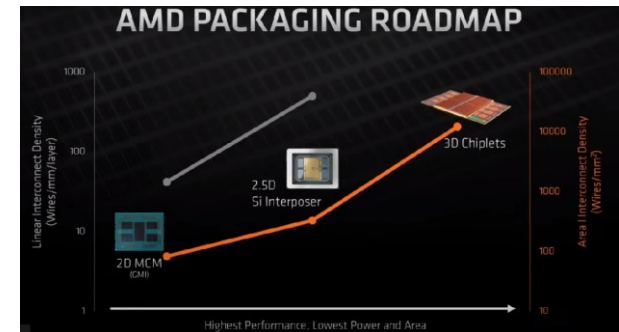
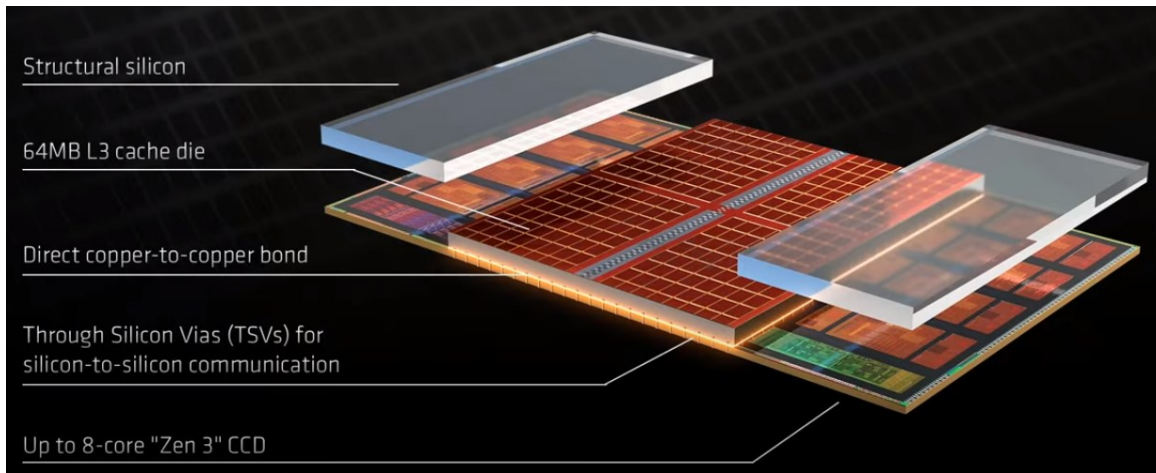
- チップレットは、多様なアプリケーション分野で活用可能。  
先ずはプロセッサ製品で実用化が開始
- チップサイズ限界、歩留まり悪化、チップ内配線密集から  
Monolithicダイからマルチコアダイ(CPUコア、L1&L2 Cache)と  
L3 Cacheメモリダイにチップレット分割



Source: Eric Beyne (IMEC) at ITF JAPAN2022

# AMD RYZEN 5900

- AMD社RYZEN 5900Xは、8xCPUコアを搭載したCPUダイ(CCD)とI/O専用ダイ(IOD)の上に64MB SRAMダイ(L3Cache)をハイブリッドボンディングで積層している。  
3D V-Cache技術と呼び、TSMC 7nmノードで製造。
- 従来の2.5Dチップレット技術に比べ、エネルギー効率 X 3倍、Interconnect密度 X 15倍



RYZEN Prototype 5900X for Gaming

Source: Ravi Swaminathan(AMD) at Hotchips2021

# フォトニクスへの適用

- 将来データセンターでは、低電力、低レイテンシーと広帯域が要求され、オプティカルI/Oが電氣的I/Oに取って代わる。
- 光電変換Si-Photonicsデバイスを内蔵した光チップレットの実用化が加速している。

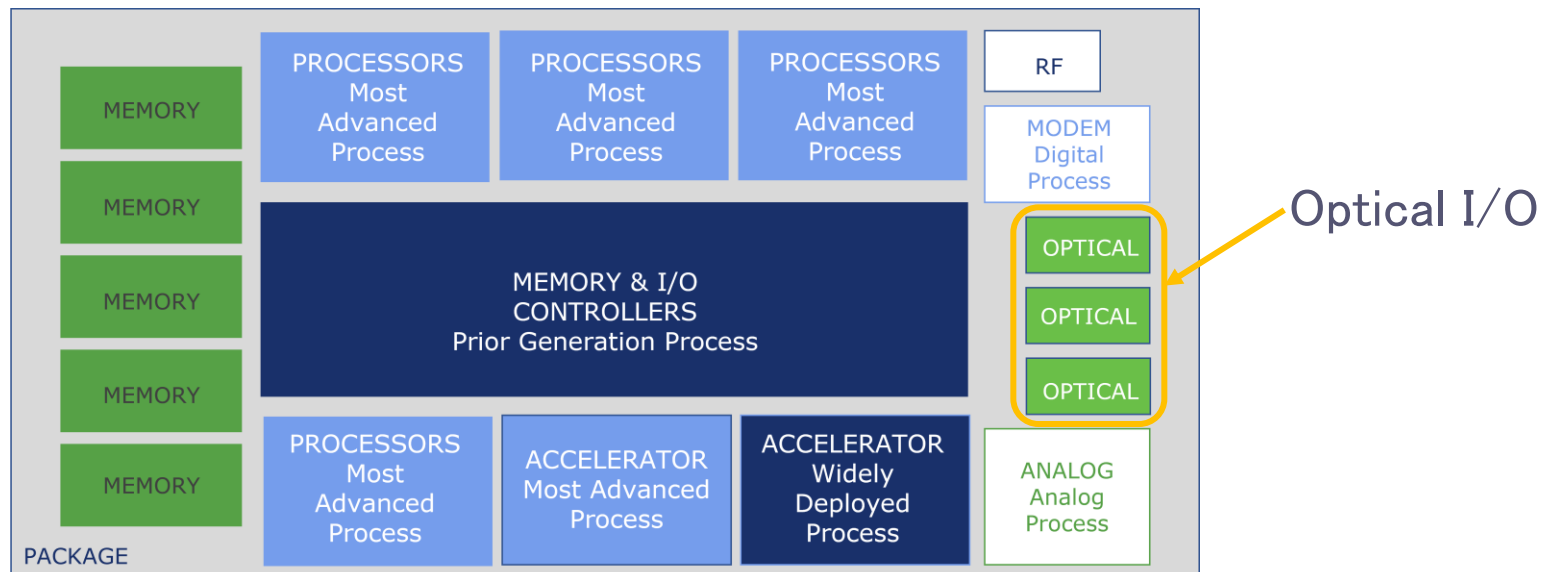


図. 光チップレット

Source: <https://www.uciexpress.org/>

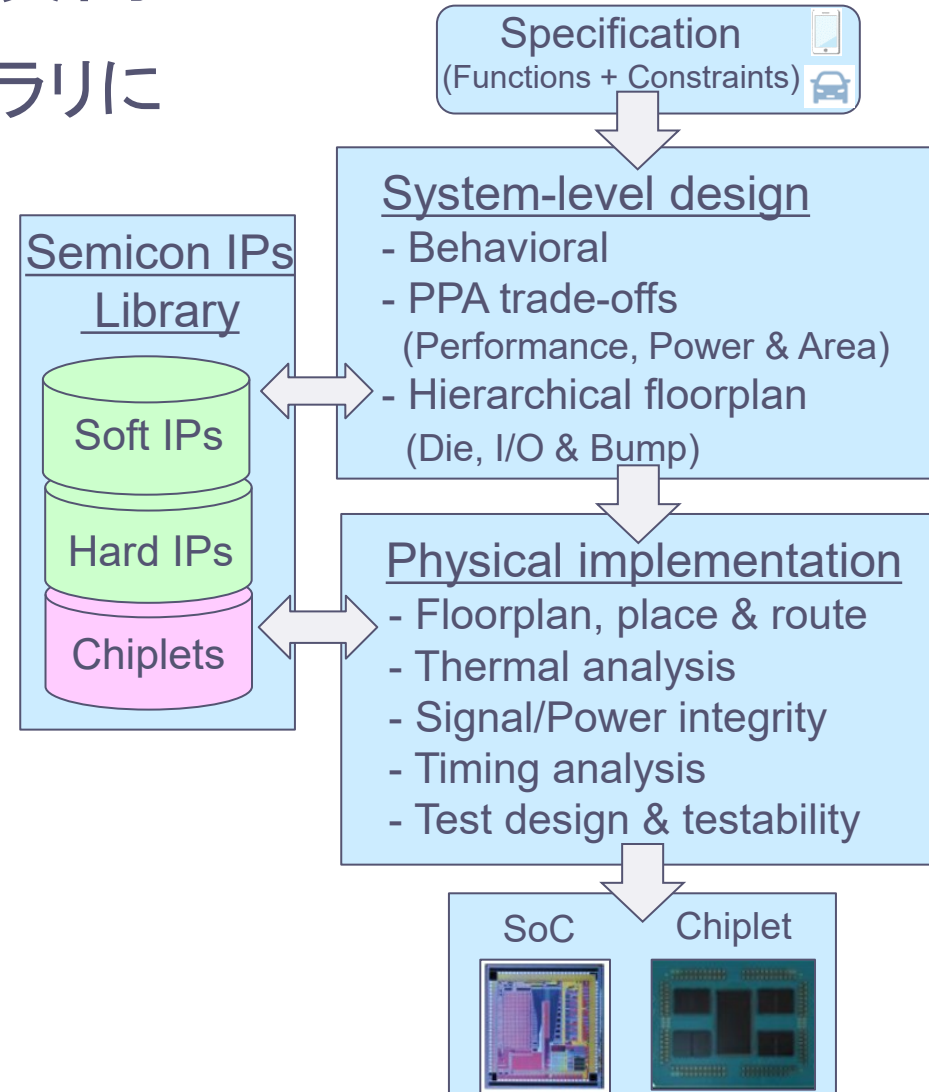
# – アジェンダ –

- はじめに
- 背景と位置付け
- 製品への適用事例
- チップレット設計標準
  - CDX と 3Dbloxについて
- インターコネクト標準
  - UCle 3.0仕様について
- まとめ

# チップレット設計技術 と KPI

- チップレットを半導体IPライブラリに追加し、チップレット向けにエンハンスした統合SoC設計フローが登場

- チップレット設計の主なKPI
  - Die edge density (Gbps/mm)
  - Energy efficiency (pJ/b)
  - Area efficiency (Gbps/mm<sup>2</sup>)
  - Latency (ns)
  - Channel reach (mm)
  - Reliability (FIT)



© KOJIMA eDesign Office 2024

図. 統合SoC設計フロー

# 設計言語の要件

- 設計言語の要件は、以下が挙げられる。
  - 可読性が良いこと（人と機械の両方） XML vs. JSON
  - 既存の標準規格が活用できること
  - 設計全体プロセスをカバーできること
  - オープンなエコシステムであること、または、サプライチェーンに依存せず互換性があること
- チップレットのモデル化(IP流通)と設計仕様(集積)の二つの代表例
  - CDX (Chiplet Design Exchange ) 標準化
  - 3Dblox 標準化

# Chiplet Design Exchange (CDX) 標準化

- 2021年11月Chiplet Design Exchange(CDX) Working Groupが White Paperを発表した。(OCPのサブプロジェクトであるODSAのWG)
- 既存標準規格を引用してチップレット標準設計モデルを定義。10カテゴリーに分類し、21モデルを記述。
  - Physical: LEF, GDSII, Gerber
  - Behavioral: System Verilog-IEEE1800
  - Power: IEEE2416 power modeling standard
  - Signal integrity: IBIS
  - Test: Test access architecture-IEEE1838 など



[Note] OCP: Open Compute Project

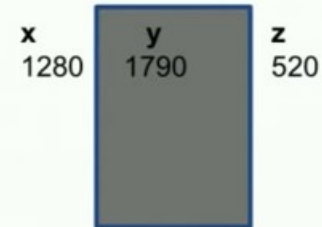
ODSA: Open Domain-Specific Architecture Sub-project

# Chiplet Data Exchange Markup Language (CDXML)

- 2022年10月に CDXMLの開発状況がOCPイベントで報告された。

## CDXML Modeling Solution

- Chiplet Data eXchange Markup Language (CDXML) is being developed at CDX Workstream of ODSA in collaboration with Industry Leaders.
- It is adopted the ZEF open source model from zGlue.
- Chiplets data are defined in a standardized XML format with a schema
- The XML data contains the following information of a chiplet:
  - Mechanical information
  - IO information
  - Electrical information
  - Assembly information
  - D2D interfaces information
  - Power and thermal information



OCTOBER 18-20, 2022  
SAN JOSE, CA

**EMPOWERING OPEN.**

# OCP CDXML-JEDEC JEP30 collaboration

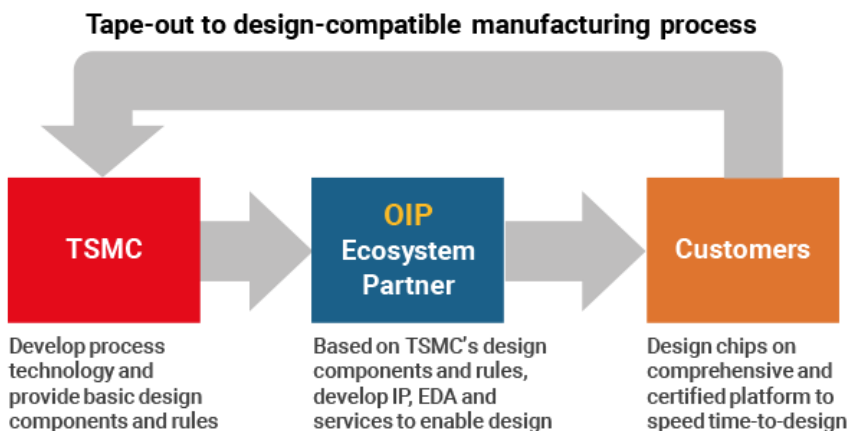
- 2023年1月OCP開発のチップレット標準設計モデルCDXMLとJEDEC標準のJEP30のコラボレーションが発表された。JEDECのPartModelがパッケージングした部品に加え、チップレット流通IPまで拡張される。

In an extraordinary leap forward for the chiplet industry, the groundbreaking collaboration between the **Open Compute Project Foundation (OCP)** and **JEDEC** is set to usher in a new era of innovation. By merging the capabilities and open standards of OCP's Chiplet Data Extensible Markup Language (CDXML) and JEDEC's JEP30 PartModel Guidelines, this partnership, initiated in late 2022, promises to revolutionize chiplet design, manufacturing and integration. The result will be a unified structure that supports both chiplets and general electronic parts within the overarching purview of JEDEC.

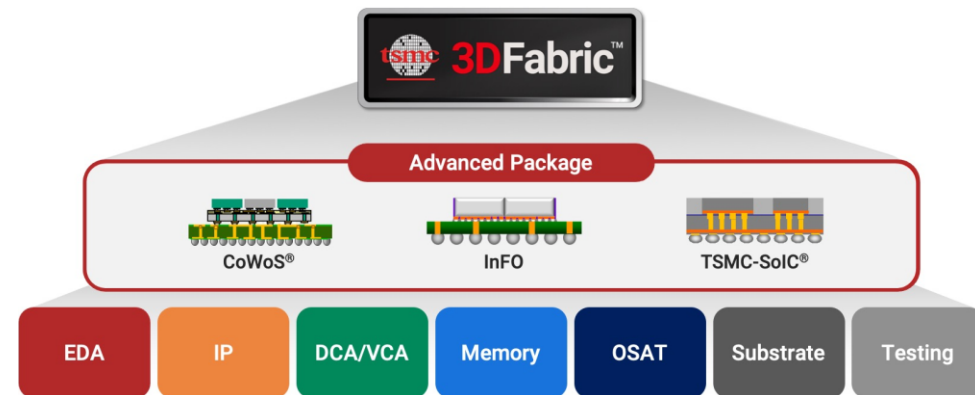
(24 January, 2023)

# TSMC OIP (Open Innovation Platform)

- OIPは半導体設計技術のインフラであり、設計手戻りの原因となる設計課題の改善を狙いとする。  
IP、EDA、Design Center、Cloud、Value Chainおよび3D Fabricの6つのアライアンスがある。
- 3D Fabricアライアンスは次世代HPCとモバイル製品の迅速な開発エコシステムの提供を狙いとする。  
(設計、メモリモジュール、基板技術、テスト、製造とパッケージング)



OIPの狙い

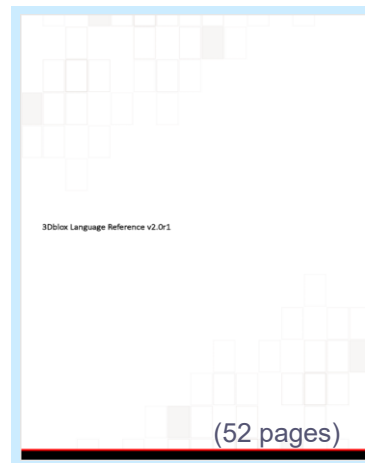


3DFabricアライアンス

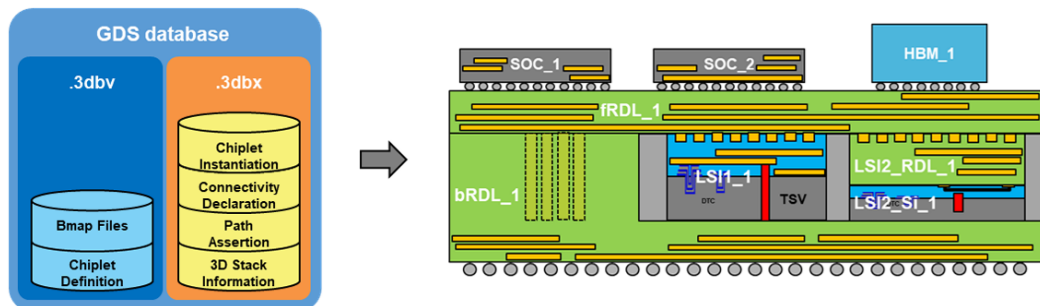
# 3Dblox チップレット設計標準言語(その1)

■ 3Dbloxは、TSMCが推進するOIP(Open Innovation Platform) Allianceの一つ3D Fabric Allianceが2023年11月に発表したチップレット用設計言語である。人可読性を考慮しYAML(JSONのsuperset)を選択した。

■ 3Dbloxライブラリ登録したSilicon dieとRDLを各種インタフェースで接続し、(C4 bump、 $\mu$ Bump、hybrid bondとPM0 bump) CoWoS、InFOやSoICを設計する。



3Dblox仕様書 2.0r1



CoWoS-Lの例

# 3Dblox チップレット設計標準言語(その2)

- 2024年12月にIEEEのプロジェクト承認され、IEEE標準化が進められている。

- Project番号と名称: P3537  
Standard for 3Dblox—Chiplet Connectivity and Physical Properties Description Language

- WG Chair: Sandeep Goel (TSMC)

- Scope: This standard defines a modular hierarchical language syntax, rules, and usage model to represent a high-level description of the components and connectivity between various components (including chiplets, interposers, substrates, etc.) in 2.5D/3D advanced packaging technologies. This description language enhances the 3Dblox description language.

IEEE SA STANDARDS ASSOCIATION	IEEE
<b>P3537</b>	
<b>Type of Project:</b> New IEEE Standard <b>Project Request Type:</b> Initiation / New <b>PAR Request Date:</b> 20 Sep 2024 <b>PAR Approval Date:</b> 11 Dec 2024 <b>PAR Expiration Date:</b> 31 Dec 2028 <b>PAR Status:</b> Active	
<b>1.1 Project Number:</b> P3537 <b>1.2 Type of Document:</b> Standard <b>1.3 Life Cycle:</b> Full Use	
<b>2.1 Project Title:</b> Standard for 3Dblox--Chiplet Connectivity and Physical Properties Description Language	
<b>3.1 Working Group:</b> 3Dblox-- Chiplet Connectivity and Physical Properties Description Language(C/DA/3Dblox) <b>3.1.1 Contact Information for Working Group Chair:</b> <b>Name:</b> Sandeep Goel <b>Email Address:</b> skgoel@tsmc.com <b>3.1.2 Contact Information for Working Group Vice Chair:</b> None	
<b>3.2 Society and Committee:</b> IEEE Computer Society/Design Automation(C/DA) <b>3.2.1 Contact Information for Standards Committee Chair:</b> <b>Name:</b> Dennis Brophy <b>Email Address:</b> dennis.brophy@siemens.com <b>3.2.2 Contact Information for Standards Committee Vice Chair:</b> <b>Name:</b> Yatin Trivedi <b>Email Address:</b> ytrivedi@ieee.org <b>3.2.3 Contact Information for Standards Representative:</b> None	
<b>4.1 Type of Ballot:</b> Entity <b>4.2 Expected Date of submission of draft to the IEEE SA for Initial Standards Committee Ballot:</b> Dec 2025 <b>4.3 Projected Completion Date for Submittal to RevCom:</b> Jul 2026	
<b>5.1 Approximate number of entities expected to be actively involved in the development of this project:</b> 6 <b>5.2 Scope of proposed standard:</b> This standard defines a modular hierarchical language syntax, rules, and usage model to represent a high-level description of the components and connectivity between various components (including chiplets, interposers, substrates, etc.) in 2.5D/3D advanced packaging technologies. This description language enhances the 3Dblox description language. For each component, a high-level description includes size, orientation, interface, thickness, interconnect regions, interconnect structures, and other physical properties required for integration in a 2.5D/3D stack. The features of this description language are designed to serve chiplet makers, 2.5D/3D packagers, and end users.	

PAR文書 (Project Authorization Request) (抜粋)

# – アジェンダ –

- はじめに
- 背景と位置付け
- 製品への適用事例
- チップレット設計標準
  - CDX と 3Dbloxについて
- インターコネクト標準
  - UCIe 3.0仕様について
- まとめ

# インターコネク標準の状況

## ■ 標準規格の必要性

- データインターフェース定義がチップレットベースパッケージの開発に必要
- チップレットの流通を推し進め、エコシステムの構築に必要

- 多くの独自規格がある中、メモリではJEDECのHBM3が普及。プロセッサでは、OCPのBOW(Bunch of Wires)がリード。

表. チップレットインターフェース

Standard	Throughput	Density	Latency
HBM3 (JEDEC)	4.8 Gbps	N/A	N/A
Bunch of Wires (BOW, OCP/ODSA)	16 Gbps	1280 Gbps/mm	5 ns
AIB 2.0 (Chips Alliance)	6.4 Gbps	N/A	N/A
Advanced Interface Bus (AIB, Intel)	2 Gbps	504 Gbps/mm	5 ns
Bandwidth Engine (Mosys)	10.3 Gbps	N/A	2.4 ns
Infinity Fabric (AMD)	10.6 Gbps	N/A	9 ns
Lipincon (TSMC)	2.8 Gbps	536 Gbps/mm	14 ns
Multi-die IO (MDIO, Intel)	5.4 Gbps	1600 Gbps/mm	N/A
XSR/USR (Rambus)	112 Gbps	N/A	N/A

# UCIeコンソーシアムとは

- Universal Chiplet Interconnect Express -

- ミッション:「チップレットのオープンなエコシステムを構築」
- 2022年3月に大手半導体、OSAT、クラウドサービス、半導体IPの10社で発足、8月に正式にコンソーシアムを設立
- 現在Promoterメンバーは12社 (Dr. Sharma会長(Intel))
- インターコネクタ標準のUCIe仕様 (UCIe 1.0)を2022年3月リリース
- Contributorメンバーとしてエコシステム構成の主要メンバーが参加

## Promoter Members (12社)



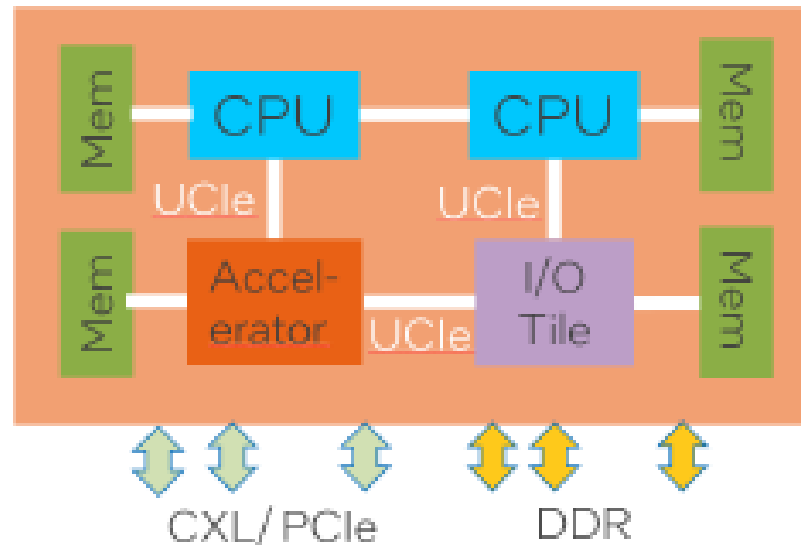
## Contributor Members



Source: <https://www.uciexpress.org/>

# UCIe仕様 On-Packageのユースケース


- UCIe 1.0仕様はクラウドサービスプロバイダーに配慮したOff-Package規格まで拡張
- 将来の新規プロトコルに対応し、拡張容易で柔軟なLayeredプロトコル構造
- On-Packageでは、CPU-Accelerator(AI engine、GPU)間、CPU-I/O間とAccelerator-I/O間インターコネクで利用
- Off-Packageでは、CPU/グラフィックボード間はCXL/PCIe、HBMボード間はDDRの各インターコネクを利用



Source: <https://www.uciexpress.org/>

# UCIe仕様の概要

- 2022年3月にUCIe Specification Revision1.0 (UCIe1.0)をコンソーシアム発足と同時に公開 (Jump start)。最新はUCIe 3.0。
- PCIe 6.0/CXL 2.0基礎知識が必須。3つの構成要素 (Protocol Layer, Die-to-die AdapterとPhysical Layer)から成るLayered Protocol構造



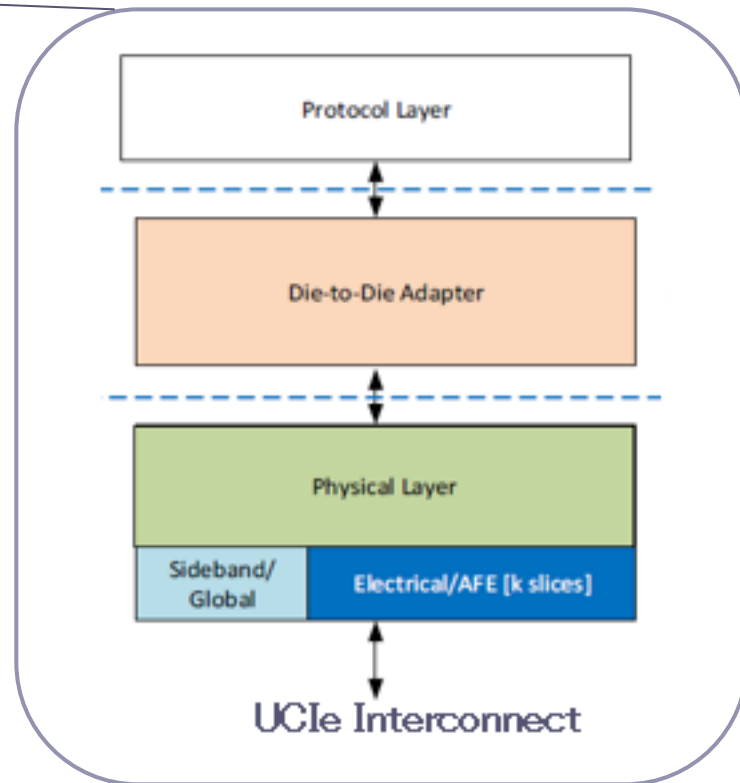
**Universal Chiplet Interconnect Express™ (UCIe™)**  
Specification  
August 5, 2025  
Revision 3.0, Version 1.0

**Contents**

- 1.0 Introduction
- 2.0 Protocol Layer
- 3.0 Die-to-Die Adapter
- 4.0 Logical Physical Layer
- 5.0 Electrical Layer (2D and 2.5D)
- 6.0 UCIe-3D**
- 7.0 Sideband
- 8.0 System Architecture**
- 9.0 Configuration and Parameters
- 10.0 Interface Definitions
- 11.0 Compliance

(587 pages)

Source: <https://www.uciexpress.org/>



[Note] PCIe: Peripheral Component Interconnect Express  
CXL: Compute eXpress Link

# UCIe仕様の改定履歴

- UCIe 1.0が2022年2月に公開後3回改定が実施された。大規模改定UCIe 2.0を経て、最新はUCIe 3.0。

## Revision History

Revision	Date	Description
3.0	August 5, 2025	<ul style="list-style-type: none"><li>• Support for 48 GT/s and 64 GT/s data rates</li><li>• Runtime Recalibration enhancement</li><li>• Extended reach sideband</li><li>• Enhancements to enable protocols that require continuous transmission</li><li>• Support for priority sideband packets</li><li>• Support for Early Firmware Download</li><li>• Support for Fast Throttle Emergency Shutdown</li><li>• Incorporation of Errata and bug fixes over 2.0</li></ul> <p>(587 pages)</p>
2.0	August 6, 2024	<ul style="list-style-type: none"><li>• <a href="#">Chapter 6.0, UCIe-3D</a> and related support for UCIe 3D</li><li>• <a href="#">Chapter 8.0, System Architecture</a> and related support for:<ul style="list-style-type: none"><li>– <a href="#">Section 8.1, "UCIe Manageability"</a></li><li>– <a href="#">Section 8.2, "Management Transport Packet (MTP) Encapsulation"</a></li><li>– <a href="#">Section 8.3, "UCIe Debug and Test Architecture (UDA)"</a></li></ul></li><li>• di/dt risk mitigation during clock gating</li><li>• Incorporation of Errata and bug fixes over 1.1</li></ul> <p>(516 pages)</p>
1.1	July 10, 2023	<ul style="list-style-type: none"><li>• Streaming Flit Format Capabilities (Allows Streaming protocols to use Adapter Retry/CRC)</li><li>• Enhanced Multi-Protocol Multiplexing (Allows dynamic multiplexing of different protocols on the same Adapter)</li><li>• Support for x32 Advanced Package Modules</li><li>• Support for UCIe Link Health Monitoring</li><li>• Definition of Hardware capabilities to enable Compliance</li><li>• di/dt risk mitigation during clock gating</li><li>• Incorporation of Errata and bug fixes over 1.0</li></ul> <p>(338 pages)</p>
1.0	February 17, 2022	Initial release. <p>(228 pages)</p>

Source: <https://www.uciexpress.org/>

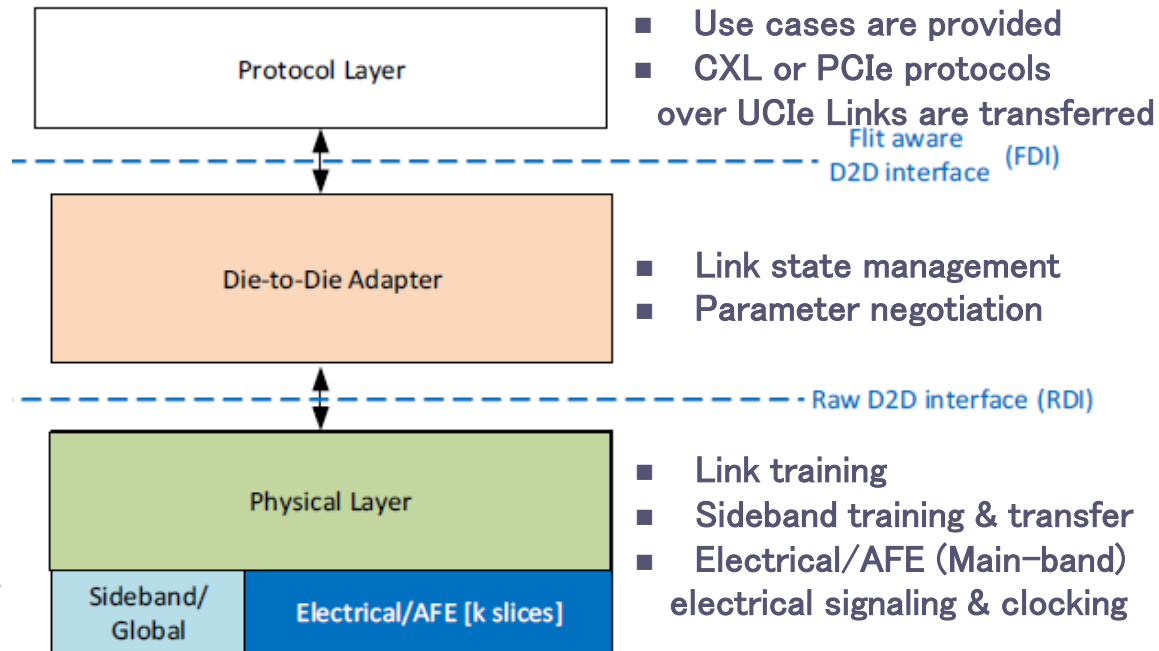
# UCIe仕様 構成要素の機能(その1)

■ Protocol Layer: アプリケーションに依存。以下の3種類のプロトコルをサポート。

- PCIe 6.0 FLIT Mode
- CXL 2.0 とそれ以降のプロトコル
- ユーザ定義プロトコル

■ Die-to-Die Adapter: Protocol LayerとPhysical Layerの調整役

- UCIe Linkのデータ転送を管理する
- プロトコルオプション関連パラメータを相手方と交換する



UCIe仕様 構成要素の機能

Note: FLIT: FLow control unit

Source: <https://www.uciexpress.org/>

# UCIe仕様 構成要素の機能(その2)

- Physical Layer: 3つの下位構成要素(PHY Logic、SidebandとMainband)から成る。MainbandとSidebandが、Bumpを介して相手方と物理的に接続する

- PHY Logic

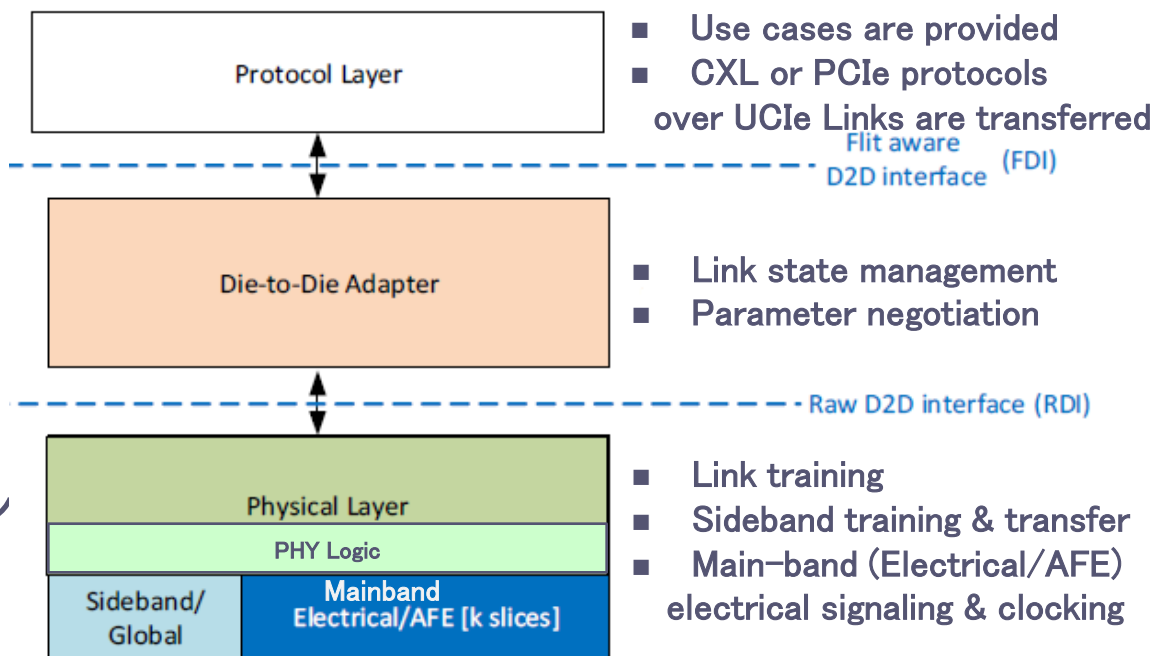
- MainbandのLinkトレーニング
- Sidebandのトレーニングとデータ転送

- Sideband

- パラメータ交換
- レジスタアクセス
- LinkトレーニングとLink管理のため相手方と調整

- Mainband

- メインのデータパス
- N個のLane、クロックピンとデータ検証ピンで構成
  - N = 64; Advanced Package
  - N = 16; Standard Package



UCIe仕様 構成要素の機能

Source: <https://www.uciexpress.org/>

# UCIe仕様のKPI

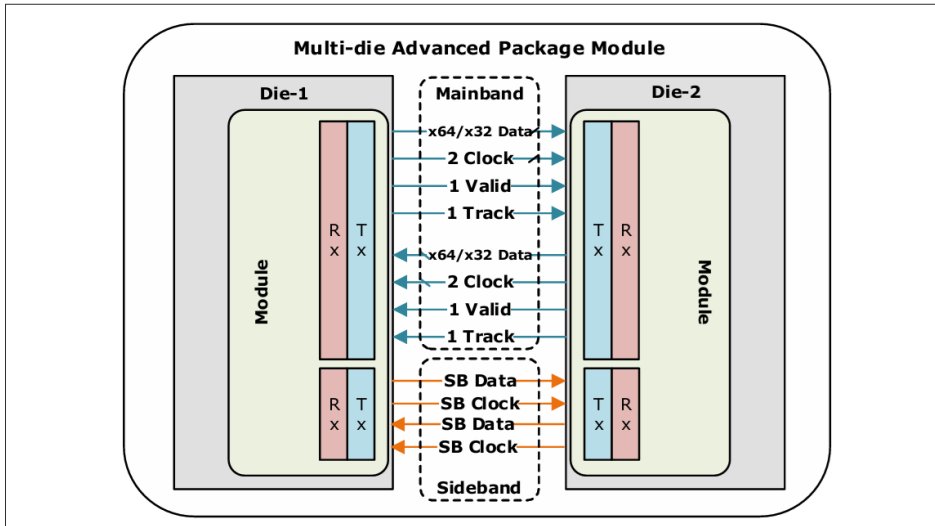
Characteristics / KPIs	UCIe-S (2D)	UCIe-A (2.5D)	UCIe 3D	Comments
<b>Characteristics</b>				
Data Rate (GT/s)	4, 8, 12, 16, 24, 32, 48, 64		Up to 4	UCIe 3D SoC Logic frequency – power efficiency is critical Added 48G and 64G with UCIe 3.0
Width (each cluster)	16	64	80	UCIe 3D: Options or reduced width to 70, 60...
Bump Pitch ( $\mu\text{m}$ )	100 – 130	25 – 55	$\leq 10$ (optimized) > 10 – 25 (functional)	Must scale so that UCIe fits within the bump area, UCIe-3D must support hybrid bonding
Channel Reach (mm)	$\leq 25$	$\leq 2$	3D vertical	UCIe-3D: FtF, FtB, BtB, multi-stack possible
<b>Target for Key Metrics</b>				
BW Shoreline (GB/s/mm)	28 – 224 278, 370	165 – 1317 1975, 2634	N/A (vertical)	For UCIe-S and UCIe-A: First row is for 4-32G. Second Row is for 48G and 64G respectively. Numbers are for 45u (UCIe-A) and 110u (UCIe-S)
BW Density (GB/s/mm <sup>2</sup> )	22 – 192	188 – 1646	4,000 (9 $\mu\text{m}$ ) – 300,000 (1 $\mu\text{m}$ )	Numbers are for 45u (UCIe-A) and 110u (UCIe-S)
Power Efficiency Target (pJ/b)	0.5 ( $\leq 16$ G) 0.75 ( $\geq 32$ G)	0.25 ( $\leq 12$ G) 0.3 (16G – 32G) 0.5 ( $\geq 48$ G)	<0.05 at 9 $\mu\text{m}$ -> 0.01 at 1 $\mu\text{m}$	
Low-Power Entry/Exit	0.5nS $\leq 16$ G, 0.5-1nS $\geq 24$ G		0nS	No preamble or post-amble
Reliability (FIT)	0 < FIT (Failure in Time) << 1		0 < FIT << 1	
ESD	30V CDM		5V CDM $\rightarrow \leq 3$ V	UCIe-3D: 5V CDM at introduction, no ESD for W2W hybrid bonding possible

Table 1: Key performance indicators of UCIe 3.0

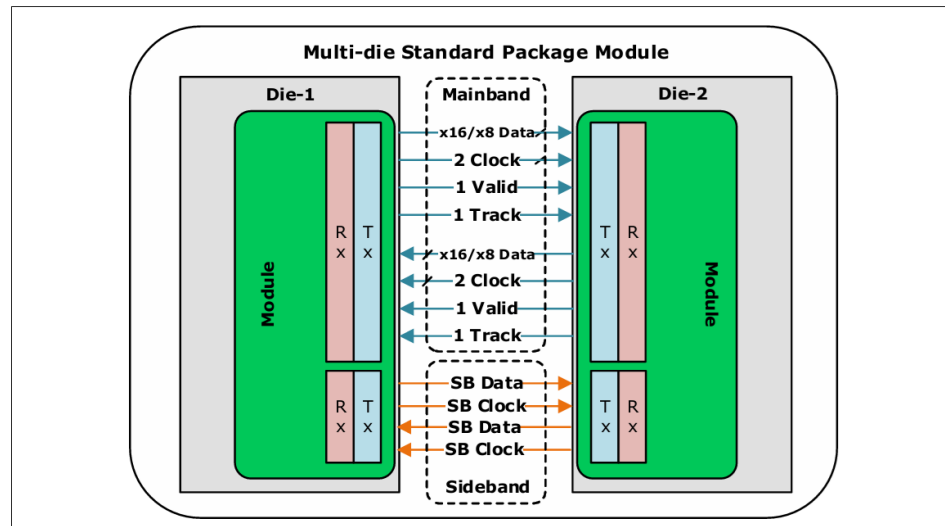
# UCIe PHYインターフェース

- UCI-A (Advanced Package)モジュール:  
Main bandは2組の64/32本データ、クロック、データ検証とトラック。  
Side bandは2組のデータとクロック。
- UCI-S (Standard Package)モジュール:  
Main bandは2組の16/8本データ、クロック、データ検証とトラック。  
Side bandは2組のデータとクロック。

x64 or x32 Advanced Package Module



x16 or x8 Standard Package Module



UCIe PHYブロック図

Source: <https://www.uciexpress.org/>

# UCIe-A と UCIe-S の Bump Map

- UCI-Aは、全て差動信号
- UCI-Sは、クロックが差動信号で、データはバス型 (single-ended)

10-column x64 Advanced Package Bump Map for <= 32 GT/s

Column0	Column1	Column2	Column3	Column4	Column5	Column6	Column7	Column8	Column9
vss	vss	vss	vccio	vccio	vccio	vccio	vss	vss	vss
vss	vss	vss	vccio	vccio	vccio	vccio	vss	vss	vss
rxdatachRD	rxcksbRD	rxdatach	rxcksb	rxdatach	rxcksb	rxdatach	rxcksbRD	rxdatach	rxdatachRD
rxdata30	rxdata35	rxdata35	rxdata29	rxdata29	rxdata14	rxdata14	rxdata00	rxdata00	rxdata00
rxdataRD3	rxdata49	rxdata34	rxdata34	rxdata30	rxdata28	rxdata15	rxdata13	rxdata13	rxdata13
rxdata63	rxdata51	rxdata36	rxdata33	rxdata30	rxdata15	rxdata12	rxdata12	rxdata12	rxdata12
vss	rxdata52	rxdata48	vss	rxdata32	rxdata31	rxdata27	rxdata11	rxdata11	rxdata0
rxdata62	rxdata53	rxdata47	rxdata37	rxdataRD1	rxdata26	rxdata16	rxdata10	rxdata10	rxdata1
rxdata61	rxdata54	rxdata46	rxdata38	vss	rxdata25	rxdata17	rxdata9	rxdata9	vss
vss	rxdata55	rxdata45	rxdata39	rxckRD	rxdata24	rxdata18	rxdata8	rxdata8	rxdata2
vss	rxdata56	rxdata44	vss	rxckn	rxdata19	rxdata7	rxdata7	rxdata7	rxdata3
rxdata60	rxdata57	rxdata43	rxdata40	rxckp	rxdata20	rxdata20	rxdata20	rxdata20	vss
rxdata59	rxdata58	rxdata43	rxdata41	rxtrk	rxdata23	rxdata21	rxdata6	rxdata6	rxdata4
vss	rxdata58	rxdata42	rxdata41	rxdata22	rxdata22	rxdata21	rxdata5	rxdata5	rxdata4
vccio	vccfwldio	txdata21	vccfwldio	vccfwldio	txdata41	txdata58	txdata58	txdata58	vccfwldio
txdata4	txdata5	txdata22	vss	txdata40	txdata42	txdata57	txdata57	txdata57	vss
vss	txdata6	txdata23	txckn	txdata43	txdata43	txdata59	txdata59	txdata59	txdata59
vss	txdata7	txdata18	vss	txvld	txdata44	txdata60	txdata60	txdata60	txdata60
txdata3	txdata8	txdata18	txckRD	txvldRD	txdata39	txdata55	txdata55	txdata55	vss
txdata2	txdata9	txdata17	txdata24	txvldRD	txdata38	txdata54	txdata54	txdata54	txdata61
vccio	txdata10	vccio	vccio	vccio	vccio	vccio	vccio	vccio	vccio
txdata1	txdata11	txdata16	txdata26	txdataRD2	txdata37	txdata53	txdata53	txdata53	txdata62
txdata0	txdata12	txdata15	txdata27	txdataRD1	txdata32	txdata48	txdata48	txdata48	vss
vss	txdata13	txdata15	vss	txdata31	txdata33	txdata52	txdata52	txdata52	txdata63
txdataRD0	txdata14	txdata14	txdata28	txdata34	txdata35	txdata49	txdata49	txdata49	txdataRD3
vccio	vccio	vccio	vccio	vccio	vccio	vccio	vccio	vccio	vccio

UCIe-A 10-column x64

Standard Package Bump Map: x32 interface

Column 0	Column 1	Column 2	Column 3	Column 4	Column 5	Column 6	Column 7	Column 8	Column 9	Column 10	Column 11
m1txdatasb	m2rxdatasb	m1txcksb	m2rxcksb	vccio	vccio	vccio	m2txcksb	m1rxcksb	m2txdatasb	m1rxdatasb	vccio
vss	vccio	vccio	vccio	vccio	vccio	vccio	vccio	vccio	vccio	vccio	vccio
m2rxdata4	m2rxdata6	m2rxdata8	m2rxdata8	vss	vss	m2txdata9	m2txdata9	m2txdata7	m2txdata7	vss	vss
m2rxdata5	vss	m2rxckp	m2rxckn	vss	m2txdata10	vss	m2txdata11	m2txckn	m2txckn	m2txdata5	vss
vss	m2rxdata7	vss	m2rxdata9	m2rxdata11	vss	m2txdata10	m2txdata8	m2txdata6	m2txdata6	m2txdata4	vss
vss	m2rxdata2	vss	m2rxdata12	vss	vss	vss	m2txdata13	vss	m2txdata3	vss	vss
m2rxdata0	m2rxdata2	m2rxtrk	m2rxdata14	m2rxdata14	vss	m2txdata15	m2txdata13	m2txvld	m2txdata3	m2txdata1	vss
m2rxdata1	vss	m2rxvld	vss	m2rxdata15	vss	m2txdata14	vss	m2txtrk	vss	m2txdata0	vss
m3vdata8	m3vdata13	m3vdata13	m3vdata13	vccio	vccio	vccio	m3vdata13	m3vdata3	m3vdata3	vccio	vccio
vccio	vss	vccio	vss	vccio	vccio	vccio	vccio	vccio	vccio	vccio	vccio
vccio	m1txdata5	m1txdata7	m1txdata9	m1txdata11	m1txdata11	vccio	m1rxdata8	m1rxdata8	m1rxdata6	m1rxdata6	m1rxdata6
vss	m1txdata4	vss	m1txckn	m1txdata10	vss	m1rxdata10	vss	m1rxckp	m1rxckp	m1rxdata4	m1rxdata4
vss	m1txdata4	m1txckp	m1txdata10	m1txdata10	vss	m1rxdata11	vss	m1rxckn	m1rxckn	m1rxdata3	m1rxdata3
vss	m1txdata6	m1txdata6	m1txdata8	m1txdata10	vss	m1rxdata9	m1rxdata9	m1rxdata7	m1rxdata7	vss	vss
vccio	vss	m1txdata3	vss	m1txdata13	vss	vccio	vss	vss	vss	vss	vss
vccio	m1txdata1	m1txvld	m1txdata13	m1txdata15	vccio	m1rxdata14	m1rxdata14	m1rxtrk	m1rxtrk	m1rxdata2	m1rxdata2
vccio	m1txdata0	vss	vss	m1txdata14	vccio	m1rxdata15	vss	m1rxvld	vss	vss	m1rxdata0
vss	m1txdata2	m1txtrk	m1txdata12	m1txdata14	vss	m1rxdata15	m1rxdata13	m1rxvld	m1rxvld	m1rxdata3	m1rxdata3

UCIe-S x32

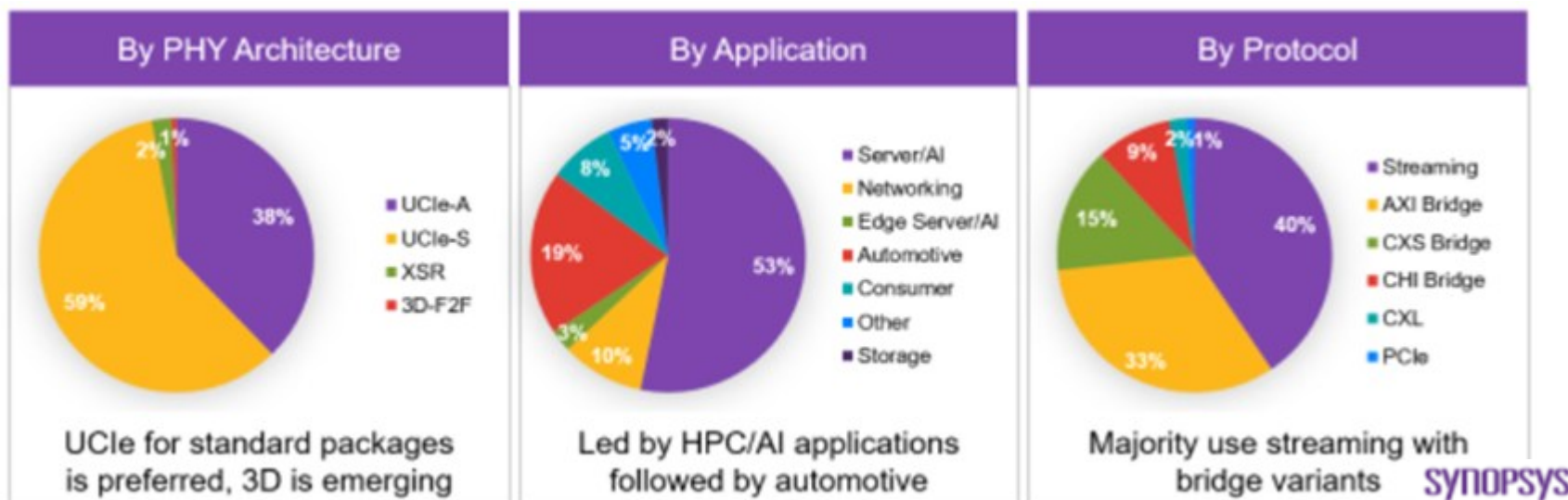
Source: <https://www.uciexpress.org/>

# UCIeの採用状況 (2025.8)



Debendra Das Sharma (Source: UCIe Consortium)

- Das Sharma会長はUCIe 3.0リリースに向け、Synopsys提供データを使い、採用状況を述べた。
- アプリケーション別では、Server/AIが半分以上。
- プロトコル別では、StreamingとBus bridgeが主体、当初狙いのPCIe/CXLは少ない。
- PHY物理レイヤー別では、UCIe-S/Aが採用されている。



Source: EE Times 08.08.2025

# まとめ

- チップレットはヘテロ集積(HI)を実現するSoC設計手法である。適用事例をプロセッサ製品を中心に紹介した。
- チップレットを支える設計標準言語とインターコネク標準仕様の動向を解説した。代表例としてそれぞれCDX/3DbloxとUCIe Specificationを紹介した。
- 各国Chips Actにより産学官チップレットプロジェクトが推進している。米国はAI/データセンター、EUは車に注力している。日本は依然として業界縦割り構造のプロジェクトが散見され、共通目標が定まっていない。強力なリーダーシップ下、リソース集中が必要である。

ご清聴ありがとうございました。



Insights into Emerging Technologies

<https://kojima-edesign.com/>